

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-228170

(43)公開日 平成8年(1996)9月3日

(51)Int.Cl.⁶
H 04 B 1/707
H 04 L 7/00

識別記号

庁内整理番号

F I
H 04 J 13/00
H 04 L 7/00

技術表示箇所
D
C

審査請求 有 請求項の数4 O L (全6頁)

(21)出願番号 特願平7-33212
(22)出願日 平成7年(1995)2月22日

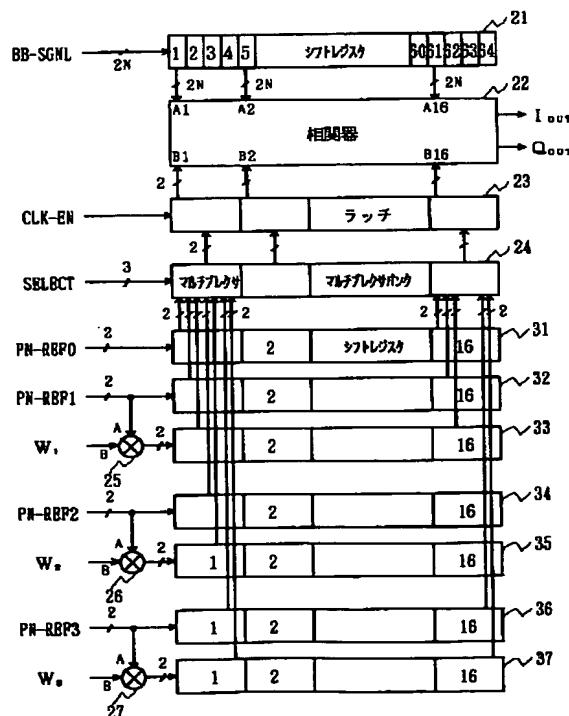
(71)出願人 000004237
日本電気株式会社
東京都港区芝五丁目7番1号
(72)発明者 オリーガン ショーン
東京都港区芝五丁目7番1号 日本電気株式会社内
(74)代理人 弁理士 山内 梅雄

(54)【発明の名称】 受信装置

(57)【要約】

【目的】 必要とされる相関器の数が少ない受信装置を提供する。

【構成】 1つの相関器22に、探査器用の逆拡散PN系列PN-REF0と、レークフィンガ用の逆拡散PN系列PN-REF1～PN-REF3などが選択的に入力できる回路を、シフトレジスタ31～37、ラッチ23、マルチプレクサバンク24等を用いて形成する。相関器22に高速な動作が要求されるのは、探査時だけであるので、このように受信装置を構成することにより、1つの相関器によって、探査およびレーク受信が実現できることになり、その結果として、ハードウェアの大きさを縮小できることになる。



【特許請求の範囲】

【請求項1】 受信ベースバンド信号を所定チップ数にわたり格納する受信信号用シフトレジスタと、前記所定チップ数のデータを格納できるラッチと、探査に用いる探査用逆拡散用PN系列を所定チップ数にわたり格納する探査用シフトレジスタと、前記探査用逆拡散PN系列と位相独立のレークフィンガ用逆拡散用PN系列を所定チップ数にわたり格納する複数のレークフィンガ用シフトレジスタと、前記受信信号用シフトレジスタに格納された所定チップ数のデータと、前記ラッチ内に格納されたデータ間の相関結果を出力する相関手段と、前記探査用シフトレジスタあるいは前記複数のレークフィンガ用シフトレジスタのうちいずれか1つのシフトレジスタの内容を前記ラッチに供給する選択供給手段とを具備することを特徴とする受信装置。

【請求項2】 受信ベースバンド信号を所定チップ数にわたり格納する受信信号用シフトレジスタと、前記所定チップ数のデータを格納できるラッチと、探査に用いる探査用逆拡散用PN系列を所定チップ数にわたり格納する探査用シフトレジスタと、前記探査用逆拡散PN系列と位相独立のレークフィンガ用逆拡散用PN系列を所定チップ数にわたり格納する複数のレークフィンガ用シフトレジスタと、これら複数のレークフィンガ用シフトレジスタに格納されるデータにそれぞれウォルシュ系列の1つを乗算した結果が記憶される複数の乗算結果シフトレジスタと、前記受信信号用シフトレジスタに格納された所定チップ数のデータと前記ラッチ内に格納されたデータ間の相関結果を出力する相関手段と、前記探査用シフトレジスタあるいは前記複数のレークフィンガ用シフトレジスタ前記複数の乗算結果シフトレジスタのうちいずれか1つのシフトレジスタの内容を前記ラッチに供給する選択供給手段とを具備することを特徴とする受信装置。

【請求項3】 前記受信信号用シフトレジスタが、L倍オーバサンプリングされた受信ベースバンド信号を所定チップ分格納できるものであり、前記相関手段が、受信信号用シフトレジスタのL個ごとのデータを相関算出のために用いるものであることを特徴とする請求項1または請求項2記載の受信装置。

【請求項4】 前記受信信号用シフトレジスタが、64段の8ビットシフトレジスタであり、他のシフトレジスタが16段の2ビットレジスタであり、Lが4であることを特徴とする請求項3記載の受信装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、受信装置に係わり、たとえば、クアルコム(Qua1comm)社のCDMA(符号分割多重)システム(IS95方式北米デジタル

セルラ電話)のようなスペクトル拡散通信システムにおいて使用される受信装置に関する。

【0002】

【従来の技術】 スペクトラム拡散通信システムで用いられる受信装置のうち、IS95方式北米デジタルセルラ電話のようなシステムで用いられる装置には、受信したPN(疑似雑音)系列を含むスペクトラム拡散信号を走査し、受信信号とPN系列の逆拡散複製とが高い相関を示す位相オフセット点(すなわち、同期点)を検出する同期処理と、受信したN個のマルチパス信号を復調し、復調結果を加え合わせる復調処理とを行う機能が必要とされる。

【0003】 従来の受信装置では、同期処理および復調処理のために、それぞれ、サーチャーおよびレーク受信器などと呼ばれるブロックが独立に設けられていた。

【0004】

【発明が解決しようとする課題】 同期処理と復調処理は類似した処理であり、いずれも相関器を用いて行われるものであるが、上述したように、従来の受信装置では、各処理用にそれぞれ別個のブロックが設けられていたため、受信装置内には、複数の相関器が存在していた。

【0005】 そこで、本発明の目的は、必要とされる相関器の数を低減した受信装置を提供することにある。

【0006】

【課題を解決するための手段】 請求項1記載の発明は、(イ)受信ベースバンド信号を所定チップ数にわたり格納する受信信号用シフトレジスタと、(ロ)所定チップ数のデータを格納できるラッチと、(ハ)探査に用いる探査用逆拡散用PN系列を所定チップ数にわたり格納する探査用シフトレジスタと、(ニ)探査用逆拡散PN系列と位相独立のレークフィンガ用逆拡散用PN系列を所定チップ数にわたり格納する複数のレークフィンガ用シフトレジスタと、(ホ)受信信号用シフトレジスタに格納された所定チップ数のデータと、ラッチ内に格納されたデータ間の相関結果を出力する相関手段と、(ヘ)探査用シフトレジスタあるいは複数のレークフィンガ用シフトレジスタのうちいずれか1つのシフトレジスタの内容をラッチに供給する選択供給手段とを具備する。

【0007】

【0007】 請求項2記載の発明は、(イ)受信ベースバンド信号を所定チップ数にわたり格納する受信信号用シフトレジスタと、(ロ)所定チップ数のデータを格納できるラッチと、(ハ)探査に用いる探査用逆拡散用PN系列を所定チップ数にわたり格納する探査用シフトレジスタと、(ニ)探査用逆拡散PN系列と位相独立のレークフィンガ用逆拡散用PN系列を所定チップ数にわたり格納する複数のレークフィンガ用シフトレジスタと、(ホ)これら複数のレークフィンガ用シフトレジスタに格納されるデータにそれぞれウォルシュ系列の1つを乗算した結果が記憶される複数の乗算結果シフトレジスタと、(ヘ)受信信号用シフトレジスタに格納された所定

チップ数のデータとラッチ内に格納されたデータ間の相関結果を出力する相関手段と、(ト)探査用シフトレジスタあるいは複数のレークフィンガ用シフトレジスタ複数の乗算結果シフトレジスタのうちいずれか1つのシフトレジスタの内容をラッチに供給する選択供給手段とを具備する。

【0008】すなわち、請求項1あるいは請求項2記載の発明では、IS95方式北米デジタルセルラ電話のようなシステムで用いられる受信装置に必須の構成要件である、探査用の高速に動作する相関手段が、定常状態には、高速の動作を維持する必要がないものとなることを利用して、1つの相関手段によって、探査およびレーク受信が実現されるようにする。

【0009】

【実施例】以下、実施例につき本発明を詳細に説明する。

【0010】図1を用いて、本発明の一実施例による受信装置の構成、動作を説明する。なお、実施例の受信装置は、従来、別個に用意されていたサーチャーの相関器部分と、レーク受信器の相関器部分を統合したところに特徴がある装置であるため、図1には、相関器部分の構成だけを示してある。

【0011】図示してあるように、実施例の受信装置は、64段の8ビットシフトレジスタであるシフトレジスタ21と、相関器22とラッチ23と、7組(14ビット)情報から1組(2ビット)情報を選択するマルチプレクサを16個備えたマルチプレクサバンク24と、3つの複素乗算器25ないし27と、16段の2ビットシフトレジスタである7つのシフトレジスタ31ないし37を備えている。

【0012】図示した回路へ入力される信号は、シフトレジスタ21とラッチ23とをクロック動作させるシステムクロック信号(図示せず)と、システムクロック信号の1/4の周期で、他の7つのシフトレジスタ31ないし37をクロック動作させる4分周システムクロック信号(図示せず)と、受信ベースバンド信号(BB-SGNL)と、クロックイネーブル信号(CLK-EN)と、選択信号(SELECT)と、逆拡散用PN信号(PN-REF0~PN-REF3)と、ウォルシュコードを含む信号W1~W3であり、これらの各信号は、図示していない外部回路によって生成される。

【0013】同相チャネルと直交チャネルに各4ビットの8ビット受信ベースバンド信号(BB-SGNL)は、4倍オーバサンプリングされた複素ベースバンド信号であり、64段シフトレジスタであるシフトレジスタ21の8ビット入力端子に入力されている。クロックイネーブル信号(CLK-EN)は、ラッチ23のクロックイネーブル端子に入力されており、この信号によってラッチ23の動作タイミングは制御される。また、選択信号(SELECT)は、3ビットの信号でありマルチプレクサバンク24を制御するための信号である。

【0014】逆拡散用PN信号PN-REF0は、同相成分(I)および直交成分(Q)に対する逆拡散用PN系列を含む信号であり、シフトレジスタ31のデータ入力端子に供給されており、サーチャーによって使用される。

【0015】逆拡散用PN信号PN-REF1~PN-REF3も、同相成分(I)および直交成分(Q)に対する逆拡散用PN系列を含む信号であり、それぞれ、3指レーク受信器のフィンガ1~3のために用いられる。各逆拡散用PN信号は、たとえば、PN-REF1がシフトレジスタ32と、複素乗算器25のA入力端子に入力されているように、それぞれ、シフトレジスタと複素乗算器とに入力されている。

【0016】複素乗算器25ないし27のB入力端子には、ウォルシュコードW1ないしW3が入力されており、複素乗算器25ないし27の出力は、それぞれ、シフトレジスタ33、35、37に入力されている。なお、各逆拡散用PN信号PN-REF1~PN-REF3は、図示していない外部装置によって生成され、ウォルシュコードW1~W3も、他の外部装置によって、それぞれ、逆拡散用PN信号PN-REF1~PN-REF3に同期した形で生成される。

【0017】このようにシフトレジスタ32、34、36には、逆拡散用PN系列が入力され、シフトレジスタ33、35、37には、逆拡散用PN系列にウォルシュ系列を乗じた系列が入力される。

【0018】すなわち、シフトレジスタ32、34、36には、逆拡散用PNパイロット信号系列が格納され、シフトレジスタ33、35、37には、それぞれ、逆拡散用PN信号とウォルシュコードから算出された逆拡散用データ系列が格納される。(IS95システムの下り接続路では、パイロット信号は、2¹⁵の長さの同相成分および直交成分の系列からなり、データ信号は、ウォルシュ系列を乗算され、統いて同じ同相成分(I)および直交成分(Q)のPN系列によって逆拡散されたデータで構成されている。)

【0019】16段シフトレジスタであるシフトレジスタ31ないし37の出力は、いずれも、マルチプレクサバンク24のデータ入力端子に入力されており、マルチプレクサバンク24に所定の選択信号を供給することによって、各シフトレジスタのi番目の出力が、ラッチ23のi番目の2ビットレジスタのデータ入力端子に入力できるようになっている。

【0020】相関器22のAi(i=1~16)入力端子には、受信ベースバンド信号(BB-SGNL)が入力されるシフトレジスタ21の4i-3段目の出力が入力されており、Bi入力端子には、ラッチ23のi段目の出力(すなわち、マルチプレクサバンク24によって選択されたシフトレジスタの出力)が入力されている。

【0021】既に説明したように、受信ベースバンド信号は、4倍オーバサンプリングされているため、64段

のシフトレジスタ21には、チップごとに4サンプルを伴った16個のベースバンドピット(すなわち、チップ)が格納される。他のシフトレジスタ31ないし37は、いずれも16段の長さを有しており、また、シフトレジスタ21が動作するクロック速度の1/4の速度でクロック動作している。このため、シフトレジスタ31ないし37もまた、16チップ長の系列を格納することができ、相関器22からは16チップにわたる相関結果が出力されることになる。

【0022】初期システム同期捕捉の間は、サーチャーの相関だけが実行されねばならない。このことは、シフトレジスタ31の出力がラッチ23を介して相関器22に入力されるように、マルチプレクサバンク24を制御することにより実現される。この場合には、外部装置によって、被要求位相オフセットを伴って生成され、シフトレジスタ31にクロック入力された逆拡散用PN系列PN-REF0が、所定のタイミングで、ラッチ23に格納される。そして、クロックイネーブル信号が、16チップ期間、すなわち、システムクロックの64周期にわたってローレベルに保持されることにより、相関器22から、同相成分(I)と直交成分(Q)の64対の相関結果が、I_{OUT}、Q_{OUT}として出力されることになる。

【0023】これらの64対の相関結果は、1/4チップずつ位相を変化させたときの、受信ベースバンド信号と逆拡散用PN系列との相関結果になり、その16チップ積分をもって16チップ窓にわたり、1/4チップ精度で、強度の相関点を探し出せることになる。そして、外部装置によって、複数の窓における相関結果を復号されれば、所望の長さ(16K; Kは整数)にわたる積分が可能になる。

【0024】定常状態にあっては、レーク相関は、サーチャーによる相関処理と併せ時分割式に行われる。レーク相関では、パイロット信号とデータ信号の両方で相関が取られる。

【0025】たとえば、フィンガ1に関する相関処理は以下のようにして行われる。

【0026】復調処理に用いようとしている、受信されたマルチパス信号の1つに対する位相オフセットをもった逆拡散用PN信号PN-REF1が、外部装置(図1には示していない装置)によって生成され、他の外部装置によって、逆拡散用PN信号PN-REF1に同期した形で、ウォルシュ系列W₁が生成される。

【0027】そして、逆拡散用PN信号PN-REF1は、シフトレジスタ32に入力され、ウォルシュ系列W₁と逆拡散用PN信号PN-REF1が乗算されることによって生成されたデータ逆拡散信号が、シフトレジスタ33に入力される。

【0028】マルチプレクサバンク24は、選択信号によって、シフトレジスタ32の出力をラッチ23の入力端子に供給するよう、初期設定されており、クロックイ

ネーブル信号がシステムクロックの1クロック期間にわたってハイレベルに設定され、逆拡散用PN系列PN-REF1の16チップがラッチ23に格納される。そして、相関器22によって、ラッチ23の出力とシフトレジスタ21の出力との間の相関がとられ、16チップにわたり積分されたマルチパスパイロット信号の相関結果が出力される。

【0029】その後、選択信号は、シフトレジスタ33の出力をラッチ23に供給させるものに変わり、ウォルシュ系列W₁と逆拡散用PN信号PN-REF1が乗算されることによって生成された16チップが、ラッチ23内に格納される。そして、相関器22によって、ラッチ23の出力とシフトレジスタ21の出力との間の相関がとられ、16チップにわたり積分されたマルチパスデータ信号の相関結果が出力される。

【0030】フィンガ1に対する上記処理は、システムクロックの64クロック周期ごとに、4回行われ、それらの処理で得られたパイロット信号とデータ信号との相関結果に対する同相成分(I)と直交成分(Q)出力の値を積算することにより、64チップにわたる相関が実行される。(64チップは、IS95システム内の1データシンボルである。)

【0031】フィンガ2とフィンガ3に対する相関処理は、フィンガ1に対するものと同じであり、時分割的に行われる。たとえば、フィンガ2の16チップ相関は、フィンガ1の16チップ相関の完了後、直ちに実行可能であり、フィンガ3の16チップ相関をそれに続けて実行させることができる。そして、各フィンガに対する相関処理が実行されていないときに、サーチャーの相関処理を行うようとする。

【0032】すなわち、定常状態においては、ラッチ23から、図2に示したような手順で、各シフトレジスタの内容が出力されるようにする。なお、この図では、ラッチ23内に記憶されるデータを、“SR31”“SR32”といったように、図1において各シフトレジスタに付けた符号を用いて表わしている。

【0033】図から明らかなように、選択の周期は、16チップである。このことは、レークフィンガのデータ復調に必要である。なぜならば、ビット誤り率の退縮防止のためバースト状にはデータが送信されないレーク受信器内では、相関を連続的に取らねばならないからである。各相関が16チップの相関結果を生み出すため、相関は、16チップごとに発生する。

【0034】また、シフトレジスタの内容は、1チップ期間にわたって、ラッチ内に格納されることになり、この間は、ラッチの出力は変化しない。しかしながら、シフトレジスタ21の出力は、受信ベースバンド信号が、4倍オーバサンプリングされているため、4回変化することになる。それ故、4個の相関値が、相関器から出力されることになる。これら4個の出力のうち正規のもの

7

は、シフトレジスタ32に対応するマルチバスクロック点付近の1/4チップ決定検査からの情報を用いることで、抽出される。このような処理は、シフトレジスタ33~38の内容に対して繰り返される。

【0035】ラッチに格納されているデータが、シフトレジスタ31の内容である場合、その出力は、10チップ期間にわたってラッチされる。従って、シフトレジスタ21の出力との相関結果には、1/4チップ精度の10チップ窓にわたる時分割16チップ相関信号が含まれることになる。

【0036】このように、実施例の受信装置では、レーク受信器の相関器部分がサーチャの相関ブロックに統合されており、ハードウェアの大きさが縮小されている。

【0037】実施例の構成は、さまざまな変形が可能である。たとえば、各フィンガが、サーチャーが16チップ窓にわたって相関をとるのに用いたのと同様の方法で、マルチバスの中心付近に半チップ分だけ加算又は減算された相関窓にわたって逆拡散用パイロット信号系列との相関をとるようすければ、いわゆる、遅延ロックループパイロット信号を用いるようにすることもできる。これらの結果は、時分割出力から導き出すことができ、レークフィンガをして遅延ロックの実行を可能にする。

【0038】なお、遅延ロックループの相関値に土半チップの遅延ロックループ操作が要求される場合は、シフトレジスタ32、34、36は、相関出力の同相成分(I)直交成分(Q)が、各シフトレジスタ32、34、36に対する土半チップ点及び正確なロック点を含

8

む窓にわたるよう、ラッチ23内にラッチされる出力を持たねばならない。そうすれば、窓からの各所望の相関結果が、3個のシフトレジスタのそれぞれに対し、得られることになる。

【0039】また、各部を正確なタイミングで動作させなければならないことは当然であるが、必要である場合には、たとえば、各複素乗算器の出力を、1チップ程度遅延させるといった機構を導入しても良い。

【0040】

10 【発明の効果】以上、詳細に説明したように、本発明によれば、レーク受信器の相関器部分がサーチャの相関ブロックに統合されているので、ハードウェアの大きさが縮小された受信装置を得ることができる。

【図面の簡単な説明】

【図1】本発明の一実施例による受信装置の相関器部分の構成を示したブロック図である。

【図2】実施例の受信装置が定常状態にあるときに、ラッチに格納されるデータの内容の時間変化を模式的に示した説明図である。

20 【符号の説明】

21 64段のシフトレジスタ

22 16段相関器

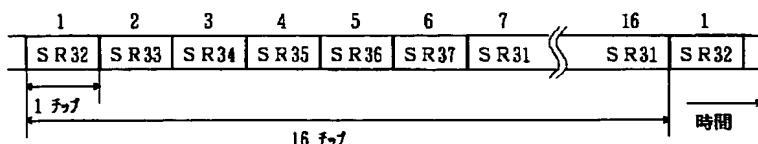
23 ラッチ

24 マルチプレクサバンク

25~27 複素乗算器

31~37 16段のシフトレジスタ

【図2】



【図1】

